

**SEMICONDUCTOR DEVICE INTEGRAL WITH PLANAR MAGNETIC ELEMENT**

Publication number: JP2000331830

Publication date: 2000-11-30

Inventor: EDO MASAHARU

Applicant: FUJI ELECTRIC CO LTD

Classification:

- International: H01F27/28; H01F10/06; H01F17/00; H01F27/00;  
H01F37/00; H01L21/822; H01L27/04; H01F27/28;  
H01F10/00; H01F17/00; H01F27/00; H01F37/00;  
H01L21/70; H01L27/04; (IPC1-7): H01F17/00;  
H01F10/06; H01F27/00; H01F27/28; H01F37/00;  
H01L21/822; H01L27/04

- European:

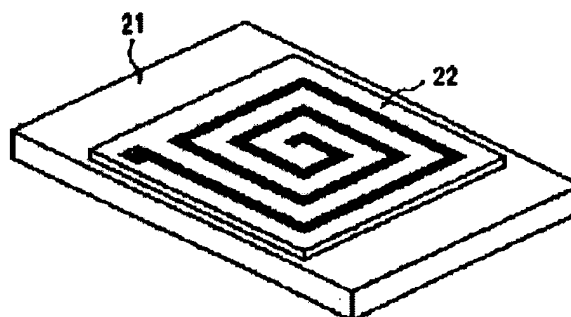
Application number: JP19990138014 19990519

Priority number(s): JP19990138014 19990519

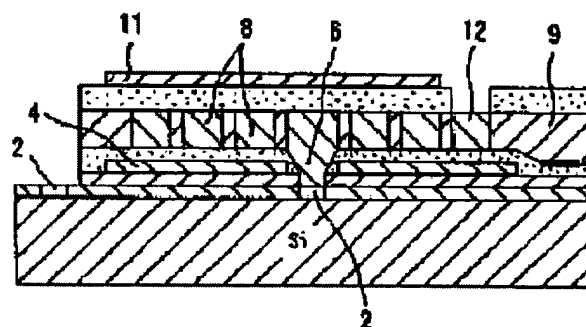
Report a data error here

**Abstract of JP2000331830**

**PROBLEM TO BE SOLVED:** To provide semiconductor device integral with a planar magnetic element which is lessened in the number of manufacturing processes and fraction defective. **SOLUTION:** A planar magnetic element 22 and an integrated circuit 21 are joined together through the intermediary of an insulating film with a contact hole 6 so as to electrically connect the planar magnetic element 22 to the integrated circuit 21 integrally, where the side wall of the contact hole 6 is forward tapered, by which a semiconductor device of this constitution can be lessened in number of processes and fraction defective.



(a)



(b)

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-331830  
(P2000-331830A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 F	17/00	H 0 1 F	17/00
	10/06		10/06
	27/00		27/28
	27/28		37/00
	37/00		15/00
			Z
審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願平11-138014  
(22) 出願日 平成11年5月19日 (1999. 5. 19)

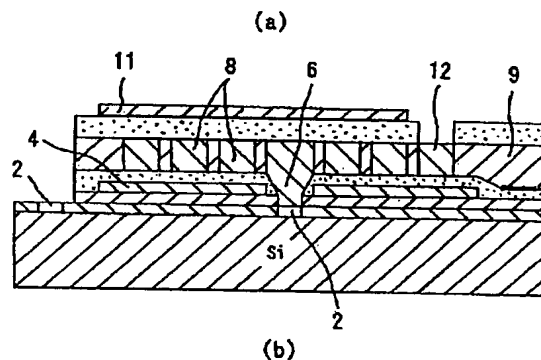
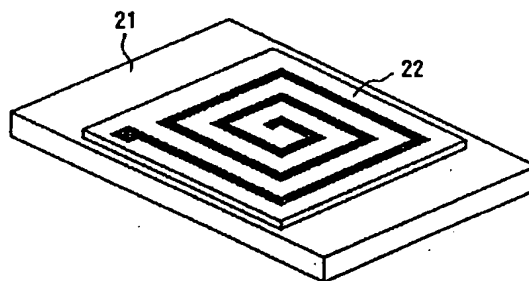
(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72) 発明者 江戸 雅晴  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74) 代理人 100075166  
弁理士 山口 巖 (外2名)  
Fターム (参考) 5E043 EA04 EA05 EA06  
5E049 AC00 AC08 BA14  
5E070 AA05 AB01 BA20 CB12 CB13  
CB17 CB20 CC10 DB08  
5F038 AZ04 CA05 CA10 EZ15 EZ20

(54) 【発明の名称】 平面型磁気素子一体型半導体デバイス

(57) 【要約】

【課題】 製造工程が少なく、良品率の高い平面型磁気素子一体型半導体素子を提供する。

【解決手段】 集積回路21上に平面型磁気素子22を電氣的に接続して一体型にするために、両者をコンタクトホール6を有する絶縁膜を介して接合するとき、そのコンタクトホール6の側壁形状が順傾斜を持つようにすることで、工程を減らし良品率を高める。



めに、コンタクトホールを形成する必要がある。図5にコンタクトホール形成手順の従来を示す。これは、マスク13を用いたエッチング法などによってコンタクトホール14を形成し、そのコンタクトホール部にメッキをすることで、電氣的に接続するものである。なお、1は半導体基板、2は電極、3は絶縁膜、4は磁性膜を示す。

【0009】しかし、図5のような方法では、次のような問題がある。

①マスクパターンを形成するための工程が新たに必要である。

②集積回路上の電極材料によってマスク材料が限定される。

③コンタクトホールの側壁が、図5(4)または(5)のように曲線的なRを持つ形状となるため、特にその上部でスパッタのつきまわりが悪く、集積回路上の電極へのメッキ液の回り込みによる電極腐食が生じ、良品率が低下する。

したがって、この発明の課題は少ない工程で良品率の高い平面型磁気素子一体型半導体デバイスを提供することにある。

【0010】

【課題を解決するための手段】このような課題を解決するため、請求項1の発明では、半導体基板上に形成された集積回路上に、スパイラル平面型コイル、絶縁体および前記スパイラル平面コイルを挟み込む軟磁性体薄膜を積層してなる平面型磁気素子を、コンタクトホールを有する絶縁膜を介して形成し、そのコンタクトホールの側壁形状が順傾斜をもつことを特徴とする。この請求項1の発明では、前記コンタクトホールを感光性絶縁材料のドライエッチング法により形成することができる（請求項2の発明）。

【0011】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す構成図で、同図(a)は斜視図、(b)は断面図を示す。すなわち、図1(a)に示すような半導体基板の上面に形成した集積回路21の上に、電氣的に接続するための、図1(b)に符号6で示すコンタクトホールを持つ絶縁膜3を介して平面型磁気素子22を形成するにあたり、そのコンタクトホール6の側壁形状に順傾斜を持たせ、コンタクトホール部へのメッキ用シード層となるスパッタ膜のつきまわりを良好にするものである。

【0012】図2は製造手順の説明図である。まず、集積回路を形成した基板1上に、絶縁膜3を形成する。絶縁膜としては、シリコン酸化膜や、シリコン窒化膜などの、スパッタリングや真空蒸着などの成膜方法で形成できる絶縁膜や、ポリイミド樹脂などを適用する。これらの絶縁膜は後工程でエッチングできる材料であることが必要である。次に、下部磁性膜4を成膜し、エッチングなどでパターンニングする。次にコンタクトホール6を形

成する。

【0013】図3はコンタクトホールの形成手順の詳細図である。まず、感光性ポリイミドなどの感光性絶縁材料をパターンニングし、絶縁膜5を形成する。このとき、集積回路の電極2とインダクタを電氣的につなぐためのコンタクトホール6を形成する穴パターン6aを形成する。穴パターン6aの側壁形状は、露光時間を短くすることで、順テーパ（順傾斜）を持つ形状にすることができる。このあと、等方性のドライエッチングを行なうことにより、コンタクトホール形成用の穴パターンの下部にある絶縁膜3をエッチングし、コンタクトホール6bを形成する。

【0014】コンタクトホールの側壁の傾斜は、絶縁膜5の穴パターン6aの傾斜をそのまま反映し、また、上部のエッジ部分6cには等方性のエッチングであることから、必然的にRが形成される。加えて、このコンタクトホール形成方法では、絶縁膜5の膜厚を厚くしておけば、そのまま下部磁性膜4とコイル導体8の層間絶縁膜として使用できるため、マスク材料の剥離などの必要がない。つまり、省工程となるだけでなく、集積回路上の電極材料もほとんど限定されることもない。

【0015】次に、コイル導体8を電解メッキで形成する。まず、電解メッキの通電層7を成膜、パターンニングし、コイル形状にパターンニングする。次に、感光性ポリイミドをパターンニングし、メッキ型9を形成し、電解メッキでコイル導体8を形成する。コイル導体を形成する方法としては、感光性ポリイミドではなく、フォトレジストをメッキ型とするメッキ法でも良い。次いで、コイル導体8上にポリイミドなどを塗布し、上部絶縁膜10を形成する。コイルから電極取り出しが必要な場合は、パターンニングして電極取り出し口12を形成する。このとき、感光性ポリイミドなどを用いると、電極取り出し口と絶縁膜を同時に形成することができる。最後に、下部絶縁膜と同様の工程で、上部絶縁膜を形成して平面インダクター一体型半導体デバイスが形成される。以上のようなコンタクトホール形成方法を用いることにより、集積回路上へ平面型磁気素子を形成する際、電解メッキ法を用いても電極材料への腐食などを生じず、少ない工程で、安定したデバイスを得ることができる。

【0016】〔実施例〕次に、実施例について説明する。まず、半導体基板を用いて、集積回路を形成する。ここでは、電源用の制御ICとMOSFETを形成した基板を用いた。IC製作終了後の半導体基板上に絶縁膜として、ポリイミドを塗布・焼成する。膜厚は任意で良いが、IC基板の表面を平坦にするため、ここでは5μmとした。

【0017】次に、磁性膜をスパッタ法で成膜し、エッチングでパターンニングする。磁性膜の膜厚は9μmである。次いで、感光性ポリイミドなどの感光性絶縁材料をパターンニングし、磁性膜とコイル導体間の絶縁膜とコン

タクトホール形成用の穴パターンとを形成する。膜厚は $15\mu\text{m}$ とした。このときの穴パターンの側壁形状は、約45度の順テーパを持つように条件を設定した。続けて、酸素とフロンを用いたプラズマエッチングでドライエッチングすることで、集積回路上に形成された電極上に、平面インダクタと集積回路を電氣的に接続するためのコンタクトホールを形成する。このときの側壁形状も同様の約45度であった。

【0018】コイル導体の電解メッキ時のシード層となるチタンおよび金をスパッタで成膜し、エッチングでコイル形状にパターニングする。このときのスパッタ膜のつきまわりは、良好であった。メッキシード層のコイルパターンにあわせて感光性ポリイミドをパターニングし、コイル導体のメッキ型を形成する。メッキ型の膜厚は $35\mu\text{m}$ である。電解メッキでコイル導体を形成する。コイルの膜厚はメッキ型とあわせ約 $35\mu\text{m}$ とした。その上に感光性ポリイミドをパターニングし、上部磁性膜との層間絶縁膜を形成する。層間絶縁膜の膜厚は $10\mu\text{m}$ である。その上に上部磁性膜をスパッタし、エッチングでパターニングする。以上で、薄膜リアクトルが完成する。リアクトルと電氣的に接続されていないAlパッドは、プラズマによるポリイミドの深堀エッチングを行なって、露出させた。

【0019】最後に、磁性膜のウエハー内の場所による磁性膜特性のバラツキを抑制するために、回転磁場中熱処理を行ない、また、一軸磁気異方性を誘導するために、静止磁場中熱処理を行なった。製作したインダクタのターン数は16ターン、コイル導体幅 $93\mu\text{m}$ 、コイル厚 $35\mu\text{m}$ 、コイル間隔幅 $20\mu\text{m}$ 、コイル部の大きさ $4\times 4\text{mm}$ 、コイル部の全厚さ $53\mu\text{m}$ 、制御IC、MOSFETを含む半導体デバイスの大きさは $4\times 5\text{mm}$

である。平面インダクタと集積回路の電極との電氣的接続は良好であり、電極腐食などの現象は生じなかった。小型化と薄膜化が同時に達成されている。

【0020】本実施例では平面インダクタを例としたが、平面トランスなども同様の製造方法で形成することができる。また、磁性膜の有無に関係なく、電解メッキ法でコイルを形成するすべての素子に適用可能である。さらに、電源用の集積回路に限定されることなく、フィルタ回路をはじめとする、磁気素子を必要とする半導体デバイス一般に適用できることは勿論である。

【0021】

【発明の効果】この発明によれば、集積回路上に平面インダクタを形成するに当たり、両者を電氣的に接続するためのコンタクトホールの側壁形状に順傾斜を持たせたので、少ない工程で、良品率の良い磁気素子一体型半導体デバイスを得ることが可能となる。

【図面の簡単な説明】

【図1】この発明の実施の形態を示す構成図である。

【図2】図1の製造工程説明図である。

【図3】図2におけるコンタクトホールの形成手順の詳細図である。

【図4】平面型磁気素子の一般的な例を示す構成図である。

【図5】図4の製造工程説明図である。

【符号の説明】

1…半導体基板、2…電極、3、5、10…絶縁膜、4、11…磁性膜、6、6b…コンタクトホール、6a…穴パターン、6c…エッジ部分、7…メッキの通電層、8…コイル導体、9…メッキ型、12…電極取り出し口、21…集積回路、22…平面型磁気素子。

【図3】

